

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 59-087575

(43)Date of publication of application : 21.05.1984

(51)Int.Cl.

G06F 15/332

(21)Application number : 57-196802

(71)Applicant : FUJITSU LTD

(22)Date of filing : 11.11.1982

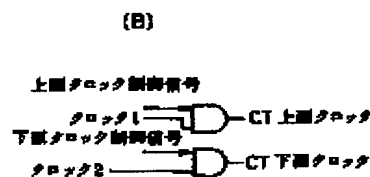
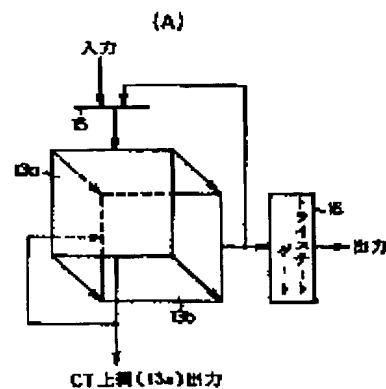
(72)Inventor : MIYANO YOSHINOBU
HASHIGUCHI KOJI

(54) DATA REARRANGING CIRCUIT

(57)Abstract:

PURPOSE: To output an internal data to the outside without losing it and to execute a maintenance and a diagnosis by constituting a multiplexer so that an external input to the rearranging upper face or an output of the rearranging lower face can be selected.

CONSTITUTION: An input of a rearranging CT upper face 13a is constituted so that an external input or an output of a CT lower face 13b can be selected by a multiplexer 15. By selecting the output of the CT lower face 13b as the input of the CT upper face 13a, a loop is formed in the inside. In this case, by an input of clock pulses of 2n pieces, a series output of the CT upper face 13a is inputted to a series input of the CT lower face 13b by a bit correspondence, and also the output of the CT lower face 13b can be inputted to the CT upper face 13a. In this way, by forming the loop in the inside, a data of the CT inside is not lost but can be outputted to the outside.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

⑨ 日本国特許庁 (JP)

⑩ 特許出願公開

⑪ 公開特許公報 (A)

昭59—87575

⑫ Int. Cl.³
G 06 F 15/332

識別記号

庁内整理番号
7056—5B

⑬ 公開 昭和59年(1984)5月21日

発明の数 1
審査請求 有

(全 4 頁)

⑭ データ並び換え回路

⑮ 特 願 昭57—196802

⑯ 出 願 昭57(1982)11月11日

⑰ 発 明 者 宮野栄伸

川崎市中原区上小田中1015番地
富士通株式会社内

⑱ 発 明 者 橋口幸治

川崎市中原区上小田中1015番地
富士通株式会社内

⑲ 出 願 人 富士通株式会社

川崎市中原区上小田中1015番地

⑳ 代 理 人 弁理士 青木朗 外3名

明 細 書

1. 発明の名称

データ並び換え回路

2. 特許請求の範囲

N 個のデータ ($N = r_1 \times r_2$ 、 N 、 r_1 、 r_2 はともに2以上の整数) の分散フーリエ変換を r_1 点分散フーリエ変換と r_2 点分散フーリエ変換に分解して、その分散フーリエ変換アルゴリズムを並列パイプラインで実現するためのデータ並び換え回路であって、 n ビットのシフトレジスタを n 個並列に並べたビット行列による並び換え (CT) 上面と、前記並び換え (CT) 上面の直列出力を直列入力する並び換え (CT) 下面と、前記並び換え (CT) 上面の入力に接続され、前記並び換え (CT) 下面の出力と外部入力の何れかを適当に選択できるようにしたマルチプレクサにより構成されたことを特徴とするデータ並び換え回路。

3. 発明の詳細な説明

(1) 発明の技術分野

本発明は高速フーリエ変換におけるアルゴリズム

を並列パイプラインで実現するための回路に用いるデータ並び換え回路 (コナターナ、以下 CT と略称する) に関するものである。

(2) 技術的背景

N 個のデータ ($N = r_1 \times r_2$ 、 N 、 r_1 、 r_2 はともに2以上の整数) の分散フーリエ変換 (以下 DFT と称する) を行なう回路は高速フーリエ変換 (以下 FFT と称する) という手法を採用することが多い。FFT とは N 点 DFT を r_1 点 DFT と r_2 点 DFT とに分解して乗算回路を減らしより速い DFT を行なうための手法である。

この FFT アルゴリズムを並列パイプラインで実現した回路には第1図の構成例で示すようにその回路中に CT を必要とする。第1図の構成例において1は CT を、2は r_1 点 DFT (または FFT) を、3は CT を、4はひねり係数供給回路を、5は r_2 点 DFT (または FFT) をそれぞれ示し、回路1により r 個のデータを同時入力して回路5により r 個のデータの同時出力を行なう。こゝにおいて回路1は必ずしも必要ではない。

(3) 従来技術と問題点

従来のシフトレジスタを使用したCTの回路について説明する。まず第2図はCTの構成要素となる n ビットシフトレジスタであって、1ビット直列入力端子10aと1ビット直列出力端子10bと、 n ビット並列入力端子11a, ..., 11nと n ビット並列出力端子12a, ..., 12nおよび図示しないが直列入力、並列入力選択端子とクロック入力端子を有している。また m ビットシフトレジスタを2個以上直列に接続して n ビットシフトレジスタを形成することも考えられる。

この n ビットビットシフトレジスタを第2図のごとく n 個並列に並べたビット行列13a, 13bを作る。ここに13aをCT上面、13bをCT下面と称する。第2図においてCT上面のAijは右から1番目のシフトレジスタのjビット目を表現し、CT下面のBij以上からi番目のシフトレジスタのjビット目を表現している(1, j=1, ..., n)。そしてビットAijがビットBijへ複写されるようにCT上面13aの各シフトレジスタ

の並列出力端子をCT下面13bの並列入力端子へ接続する。以上により n^2 個のデータを並べ替えるCTが実現される。個々のデータが k ビットよりなる場合はCTを k 個用いることになる。

つぎに第3図のCTの動作を第4図について説明する。第4図に示すごとくクロックパルスが入力されるに従ってCT上面13aはデータをシフトしながらデータを外部より取り込むと同時にCT下面13bはデータをシフトしながら出力する。 n 個のクロックパルスでCT上面13aへの n^2 個のデータの取り込みが完了する。そのときのクロックパルスに同期してCT下面13bへの並列入力信号を上げるとCT下面へパラレルロードされる。

かゝる第3図に示すごとく従来のCTにおいては動作中のFFT回路を止めて保守診断してCT内部のデータを失うことなく外部に出力することができなかった。

(4) 発明の目的

本発明はこの従来技術の欠点に鑑み内部のデータを失うことなく外部に出力するようにして

保守診断を可能にしたCTを提供することを目的とするものである。

(5) 発明の構成

この目的は本発明によれば N 個のデータ($N=r_1 \times r_2$, N, r_1, r_2 はともに2以上の整数)の離散フーリエ変換を r_1 点離散フーリエ変換と r_2 点離散フーリエ変換に分解して、その離散フーリエ変換アルゴリズムを並列パイプラインで実現するためのデータ並び換え回路であって、 n ビットのシフトレジスタを n 個並列に並べたビット行列による並び換え(CT)上面と、前記並び換え(CT)上面の直列出力を直列入力する並び換え(CT)下面と、前記並び換え(CT)上面の入力に接続され、前記並び換え(CT)下面の出力と外部入力の何れかを選択できるようにしたマルチプレクサにより形成されたことを特徴とするデータ並び換え回路を提供することによって達成される。

(6) 発明の実施例

以下本発明にかゝる実施例を図面によって詳細に説明する。

第5図(A), (B)は本発明の1実施例を示す。第5図(A)に示すごとく本発明の特徴とするところはCT上面13aの並列出力をCT下面13bの並列入力に接続し、CT下面13bの出力をマルチプレクサ15の1つの入力に接続し、マルチプレクサ15においてはCT上面13aに対する外部入力とCT下面13bの出力のどちらかを選択できるようにしている。なお第5図(A)においてはトライステートゲート16をCT下面13bの出力に接続し、CT上面13aの出力を外部にとりだせるようにし、且つCT上面13a、CT下面13bに対しては第5図(B)のごとく別々のクロックを入力している。

第5図(A)のごとくCT上面13aの入力をマルチプレクサ15により外部入力とCT下面13bの出力の何れかを選択できるようにしたことにより、CT上面13aの入力としてCT下面13bの出力を選択したときに内部にループが形成される。このとき $2n$ 個のクロックパルスの入力によってビット対応によってCT上面13aの直列出

力をCT下面13bの直列入力に入力し且つCT下面13bの出力をCT上面13aに入力することができ、すなわちCT上面13aからCT下面13bに対しては、

$A_{1n} \rightarrow B_{1n}, A_{2n} \rightarrow B_{2n}, \dots, A_{nn} \rightarrow B_{nn}$
のようにデータを入力し、且つCT下面13bからCT上面13aに対しては、

$B_{1n} \rightarrow A_{1n}, B_{2n} \rightarrow A_{2n}, \dots, B_{nn} \rightarrow A_{nn}$
のごとくデータを送出する。

かくのごとく内部でループを形成することによりCT内部のデータを失うことなく外部に出力することができる。これは動作中のFFT回路を止めて保守検断するにあつては、非常に有利である。

さらにCT下面の出力にトライスタートゲート制御回路を設け、且つ第5図(図)のごときクロック制御回路を追加することにより第6図に示すごとく小容量のCTを数倍としてより大容量の整数倍に拡張したCTを形成することができ、特にCTを1個の集積回路に集積するとき非常に有利となる。

(7) 発明の効果

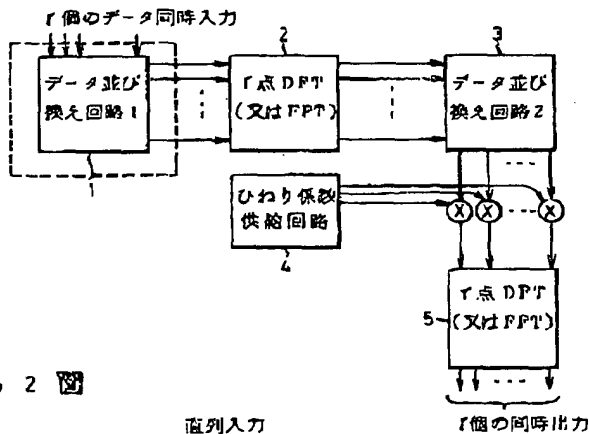
以上詳細に説明したごとく、本発明によれば、CT内部のデータを失うことなく外部に出力することができ、保守、検断に便利であり、また小容量のCTを整数倍のCTに拡張することも容易であり、本発明の効果は頗る大である。

4. 図面の簡単な説明

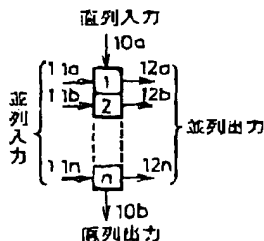
第1図はFFTの構成の1例を示すブロック図、第2図および第3図は従来のシフトレジスタを使用したCT回路の実施例、第4図は第3図の動作を説明するタイムチャート、第5図は本発明にかかる1実施例のブロック図、第6図は本発明の応用例を示すブロック図である。

図において13aがCT上面、13bがCT下面、15がマルチプレクサ、16がトライスタートゲートをそれぞれ示す。

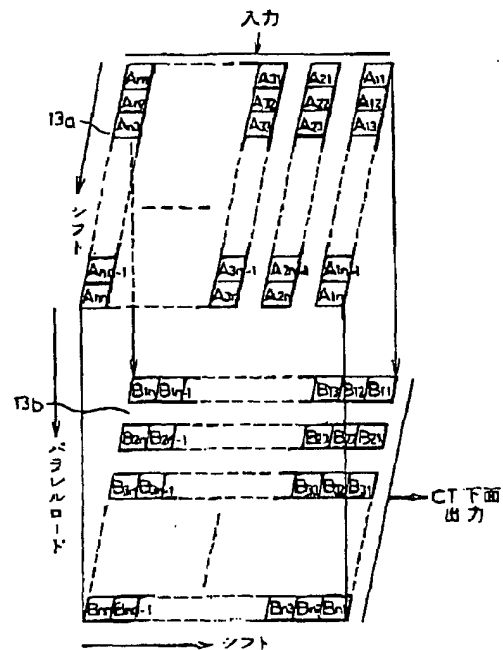
第 1 図



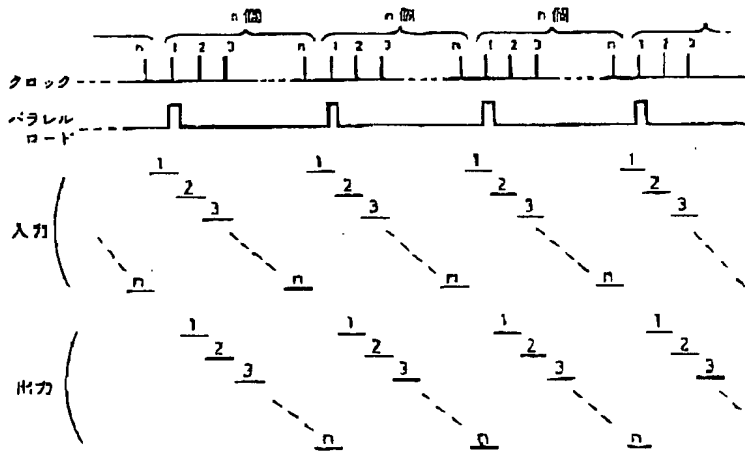
第 2 図



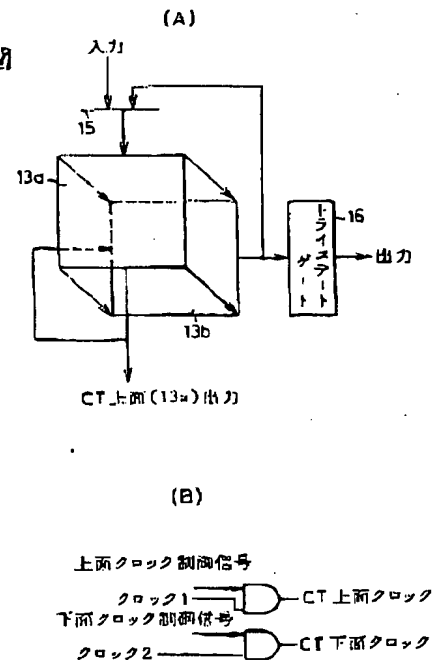
第 3 図



第 4 図



第 5 図



第 6 図

